**Features von Speicher**

Parity (Prüf-bit: Es wird eine weitere Speicherzelle pro Byte benötigt)

Je nach vereinbarter Parität wird dafür gesorgt, dass immer wenn Daten im Speicher abgelegt werden, die Anzahl der „1“ Signale der Daten inklusive des Paritätsbits geprüft werden. Werden Informationen aus dem Speicher ausgelesen wird die Anzahl der „1“- Signale wieder auf Anzahl der „1“-Signale (Daten + Parität) überprüft. Wenn der ausgelesene Wert nicht der vereinbarten Parität entspricht, wird ein Fehler erkannt. Durch Paritätsprüfungen können nur sog. 1-bit Fehler erkannt werden. Heutzutage wird die Paritätsprüfung nur noch selten verwendet.

* gerade Parität (even-parity):
  + Enthält das geprüfte Datenbyte eine gerade Anzahl von Einsen wird das Paritätsbit wird auf logisch "0" gesetzt.

0100 0001 +0

* + Enthält das geprüfte Datenbyte eine ungerade Anzahl von Einsen wird das Paritätsbit wird auf logisch "1" gesetzt.

0110 0001 +1

* ungerade Parität (odd-parity):
  + Enthält das geprüfte Datenbyte eine gerade Anzahl von Einsen wird das Paritätsbit wird auf logisch "1" gesetzt.

0100 0001+1

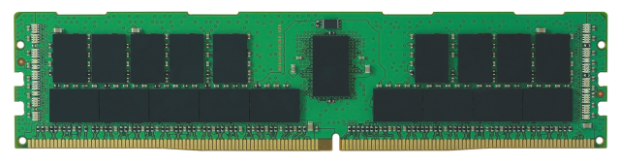
* + Enthält das geprüfte Datenbyte eine ungerade Anzahl von Einsen wird das Paritätsbit wird auf logisch "0" gesetzt.

0110 0001+0

ECC: Error Checking and Correction (auch Error Correction Code genannt) erkennt Mehrbitfehler und korrigiert ein-Bit Fehler. Es werden spezielle Speichermodule benötigt. Verwendung im Serverbereich (72 Datenbits).

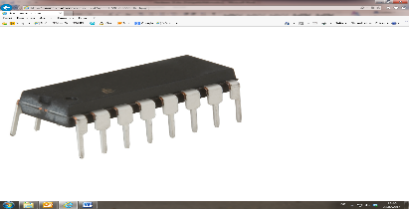
SPD- Serial Presence Data: EEPROM auf Speichermodulen, die das Timingverhalten der Speicherchips enthalten

Registered (Buffered) DRAM finden in Serverboards Verwendung. Die DRAMs werden elektrisch über Puffer entkoppelt. Dadurch können sehr viele Bausteine an einem Speichercontroller betrieben werden. Für das Aufschalten der Bausteine auf den Datenbus wird jedoch ein zusätzlicher Takt benötigt. Dadurch sind die Bausteine um einen Takt langsamer als normale DRAMs.

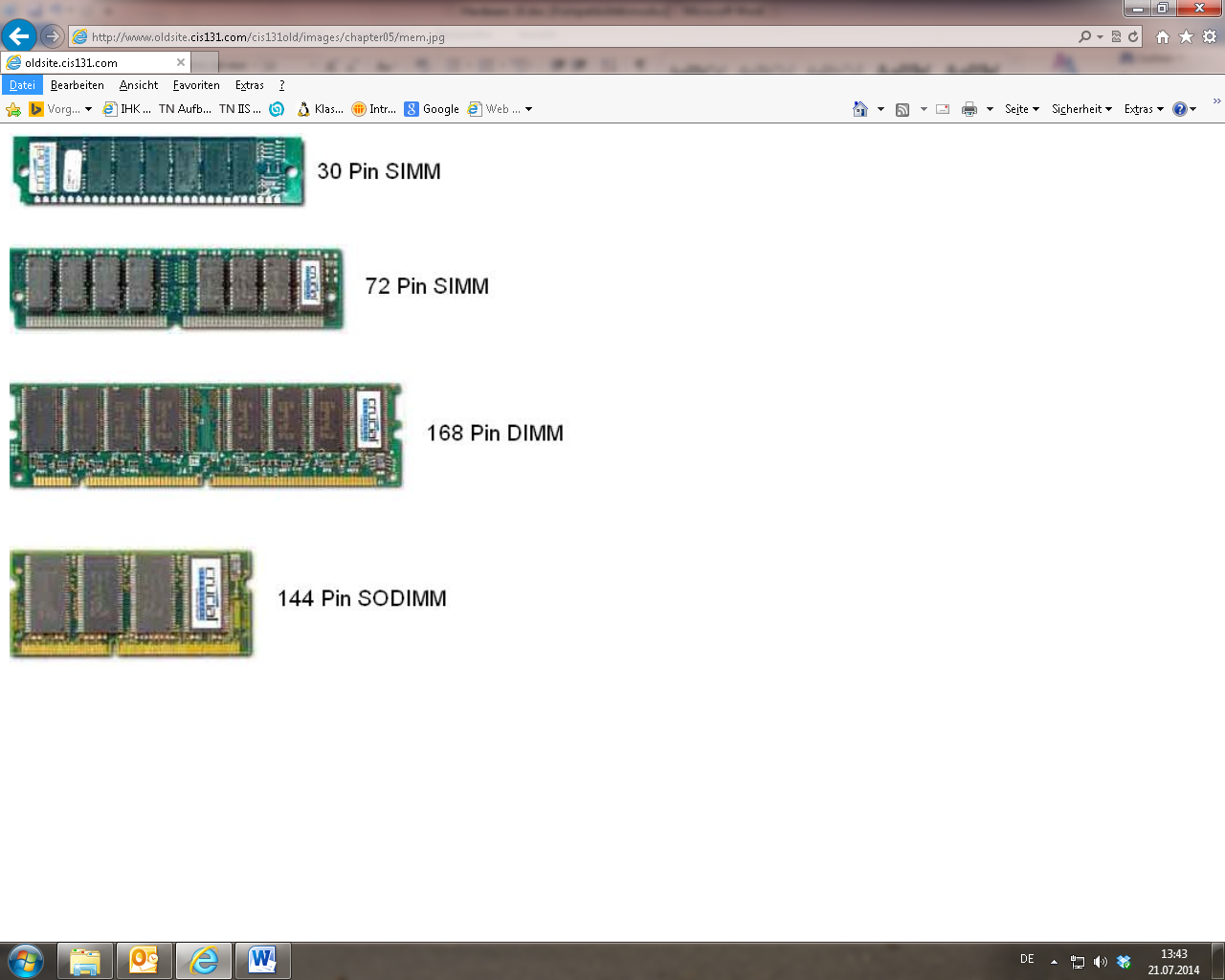


**Bauformen**

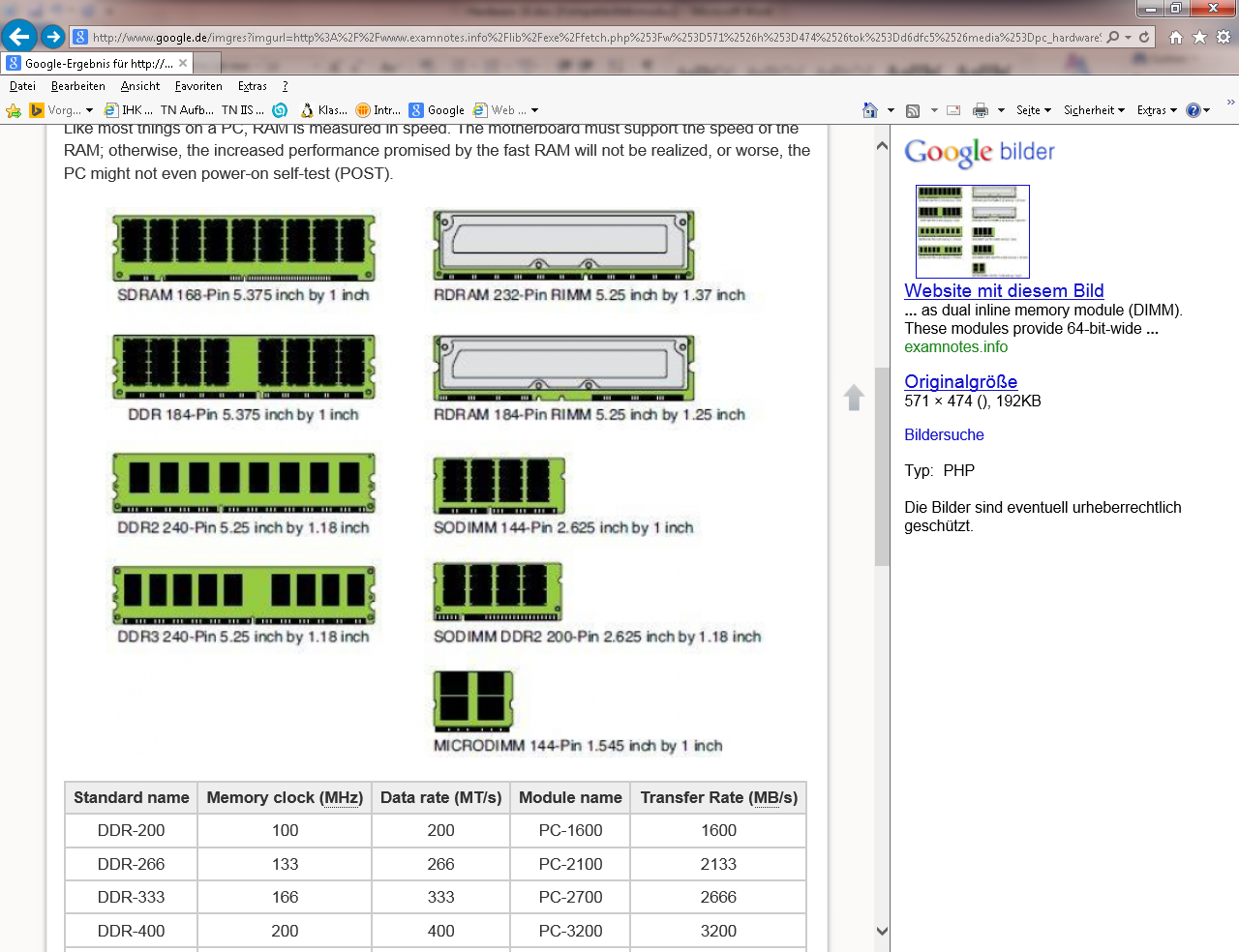
DIP / DIL Dual Inline Package



SIMM Single Inline Memory Module (30- oder 72-pol.)

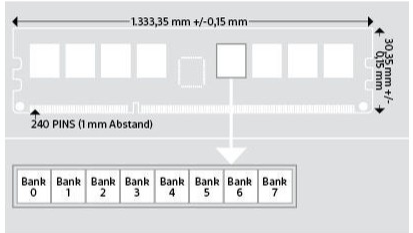


DIMM Dual Inline Memory Module



**SO=Small Outline (SODIMM DDR3: 204 Pin, SODIMM DDR4: 260 Pin)**

**DDR3**



**DDR4**

